

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-154287

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月2日

G 11 C 11/401

8323-5B

G 11 C 11/34

3 6 2 H

審査請求 未請求 請求項の数 7 (全14頁)

⑭ 発明の名称 半導体記憶装置

⑰ 特 願 平1-292162

⑱ 出 願 平1(1989)11月13日

⑲ 発 明 者 沼 田 健 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 藤 井 秀 壮 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 複数のメモリセルが複数のセル・ブロックに分割されてマトリクス配列され、各セル・ブロック毎に列方向に配列されて列方向のメモリセルを駆動する複数のワード線、このワード線と交差して配列されて選択されたメモリセルとデータのやり取りを行う複数のビット線、および各ビット線に接続されるビット線センスアンプを有するセルアレイと、

アクティブ時に前記セルアレイの複数のセル・ブロックのうち一つを選択するセル・ブロック選択手段と、

このセル・ブロック選択手段により選択されたセル・ブロック内のビット線がカラム選択ゲートを介して接続される複数のデータ入出力線と、

前記ワード線を選択駆動するロウ・デコーダと、
前記セルアレイの複数のセル・ブロックに跨が

って配設されて各セル・ブロックの前記カラム選択ゲートにつながる複数のカラム選択信号線と、

このカラム選択信号線にカラム選択信号を送出するカラム・デコーダと、

前記各データ入出力線に設けられた入出力センスアンプを含むデータバッファ回路と、

前記データ入出力線に設けられてデータ入出力線を前記ビット線のプリチャージ電位と同じ電位にプリチャージする第1のプリチャージ手段と、

前記データ入出力線に設けられてデータ入出力線を前記ビット線のプリチャージ電位と異なる電位にプリチャージする第2のプリチャージ手段と、

前記第1、第2のプリチャージ手段のいずれかを選択して駆動する選択駆動手段と、
を備えたことを特徴とする半導体記憶装置。

(2) 前記ビット線のプリチャージ電位は(1/2) V_{cc}であり、前記第2のプリチャージ手段は、選択されたセル・ブロックのセルアレイにつながる入出力線についてアクティブサイクル時のみ選択されて、その入出力線をV_{cc}にプリチ

特開平3-154287 (2)

ャージすることを特徴とする請求項1記載の半導体記憶装置。

(3) 前記ビット線センスアンプの少なくとも一部、および前記データ入出力線は隣接する二つのセル・ブロックで共有されている請求項1記載の半導体記憶装置。

(4) 前記ビット線センスアンプは、各セル・ブロック内部に配置されたPMOSセンスアンプと、セル・ブロックの前記セル・ブロック選択手段より外側に配置されて隣接する二つのセル・ブロックで共用されるNMOSセンスアンプとから構成されている請求項1記載の半導体記憶装置。

(5) 複数のメモリセルが複数のセル・ブロックに分割されてマトリクス配列され、各セル・ブロック毎に列方向に配列されて列方向のメモリセルを駆動する複数のワード線、このワード線と交差して配列されて選択されたメモリセルとデータのやり取りを行う複数のビット線、および各ビット線に接続されるビット線センスアンプを有するセルアレイと、

半導体記憶装置。

(7) 前記ビット線センスアンプは、各セル・ブロック内部に配置されたPMOSセンスアンプと、セル・ブロックの前記セル・ブロック選択手段より外側に配置されて隣接する二つのセル・ブロックで共用されるNMOSセンスアンプとから構成されている請求項5記載の半導体記憶装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、半導体記憶装置に係り、高集積化DRAMのようにセルアレイが複数のセル・ブロックに分割されてセル・ブロック選択が行われる形式の半導体記憶装置に関する。

(従来の技術)

DRAMを高集積化するには、素子および配線の微細化を図ることと、決められたチップ面積内にセルアレイおよびその駆動回路を効率的にレイアウトすることが重要である。またメモリセルの容量 C_s に対するビット線の容量 C_b の比

アクティブ時に前記セルアレイの複数のセル・ブロックのうち一つを選択するセル・ブロック選択手段と、

このセル・ブロック選択手段により選択されたセル・ブロック内のビット線がカラム選択ゲートを介して接続される複数のデータ入出力線と、

前記ワード線を選択駆動するロウ・デコードと、

前記セルアレイの複数のセル・ブロックにまたがって配設された複数のカラム選択信号線と、

このカラム選択信号線にカラム選択信号を送出するカラム・デコードと、

前記カラム選択信号線と前記カラム選択ゲートの間に設けられ、前記セル・ブロック選択手段の制御信号により制御されて前記カラム選択信号を選ばれたカラム選択ゲートに伝達する選択ゲート制御手段と、

を備えたことを特徴とする半導体記憶装置。

(6) 前記ビット線センスアンプの少なくとも一部、および前記データ入出力線は隣接する二つのセル・ブロックで共有されている請求項5記載の

C_b/C_s を小さくしてセルデータの読出し能力を向上させると共に、ビット線の充放電による消費電力の低減を図るために、セルアレイをビット線方向に複数のセル・ブロックに分割することが必要である。これらの要請から、高集積化DRAMでは、多分割ビット線-共有Yデコード方式が必然となってくる。

この方式では例えば、セルアレイはビット線方向に4個或いは8個に分割される。各セル・ブロック内のビット線は互いに独立であり、隣接する二つのセル・ブロックの間にはこれらで共用されるデータ入出力線が配設される。その隣接する二つのセル・ブロックのうち選ばれたセル・ブロック内のビット線がブロック選択ゲートおよびカラム選択ゲートを介して、データ入出力線に接続される。カラム選択ゲートを制御するカラム選択信号線は、分割された複数のセル・ブロックからなるセルアレイ上に金属配線で連続的に配設され、このカラム選択信号線にYデコード(即ちカラム・デコード)の出力であるカラム選択信号が送出

特開平3-154287 (3)

される。また通常、隣接するセル・ブロック間でビット線センスアンプの少なくとも一部を共有する共有センスアンプ方式が採用される。

この様なDRAMにおいて、ビット線プリチャージ方式は、消費電力を低くし、またビット線センス動作を高速に行う上で(1/2)V_{cc}プリチャージ方式が好ましいことは周知である。一方、データ入出力線プリチャージ方式は、V_{cc}プリチャージが好ましい。これは次のような理由による。第1に、入出力線をビット線と同じく(1/2)V_{cc}にプリチャージした場合、選択セル・ブロックのメモリセルにリストアを行う際に、ビット線電位が入出力線電位に引っ張られ易くなる。通常ビット線センスアンプは、NMOSセンスアンプが微小信号の増幅に用いられ、PMOSセンスアンプが“H”レベル側ビット線をV_{cc}まで持ち上げるために用いられる。このためPMOSセンスアンプはもともと駆動能力が大きく設定されていない。したがってビット線と入出力線が導通状態になったとき、PMOSセンスアンプで“H”レ

ベル側ビット線をV_{cc}まで持ち上げようとしても、ビット線の電位が入出力線に引っ張られ、十分にV_{cc}まで持ち上げ切れなくなる。これは特に入出力線の容量が大きい場合に顕著で、誤動作の原因にもなり得る。第2に、入出力線をV_{cc}にプリチャージした方が、ビット線センスアンプによる入出力線の初期センス時間が短くなる。

しかしながら、従来の多分割ビット線-共有Yデコード方式のDRAMでは、ビット線を(1/2)V_{cc}にプリチャージし、入出力線をV_{cc}にプリチャージする方式を採ることはできなかった。なぜなら、カラム選択信号線は複数のセル・ブロックに跨がって連続的に配設されて各セル・ブロックのカラム選択ゲートに繋がっている。このため、あるカラム選択信号線が選ばれたとき、データの読出しが行われない非選択のセル・ブロックでもカラム選択ゲートが開く。これにより、セル・ブロック選択ゲートの外側において(1/2)V_{cc}にプリチャージされているビット線センスアンプ部が、V_{cc}にプリチャージされて

いる入出力線と導通して、そのプリチャージ電位が破壊されるからである。

(発明が解決しようとする課題)

以上のように従来の多分割ビット線-共有Yデコード方式のDRAMでは、ビット線プリチャージ電位を(1/2)V_{cc}、入出力線プリチャージ電位をV_{cc}とすることができず、これが一層の低消費電力化と高速化を図る上で障害になっていた。

本発明は、ビット線に対して(1/2)V_{cc}プリチャージ方式、入出力線に対してV_{cc}プリチャージ方式を採用することを可能とし、もって高速化と低消費電力化を図った多分割ビット線-共有Yデコード方式のDRAMを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明によるDRAMは、
複数のメモリセルが複数のセル・ブロックに分割されてマトリクス配列され、各セル・ブロッ

ク毎に列方向に配列されて列方向のメモリセルを駆動する複数のワード線、このワード線と交差して配列されて選択されたメモリセルとデータのやり取りを行う複数のビット線、および各ビット線に接続されるビット線センスアンプを有するセルアレイと、

アクティブ時に前記セルアレイの複数のセル・ブロックのうち一つを選択するセル・ブロック選択手段と、

このセル・ブロック選択手段により選択されたセル・ブロック内のビット線がカラム選択ゲートを介して接続される複数のデータ入出力線と、

前記ワード線を選択駆動するロウ・デコードと、

前記セルアレイの複数のセル・ブロックに跨がって配設されて各セル・ブロックの前記カラム選択ゲートにつながる複数のカラム選択信号線と、

このカラム選択信号線にカラム選択信号を送出するカラム・デコードと、

前記各データ入出力線に設けられた入出力センスアンプを含むデータバッファ回路と、

特開平3-154287 (4)

前記データ入出力線に設けられてデータ入出力線を前記ビット線のプリチャージ電位と同じ電位にプリチャージする第1のプリチャージ手段と、

前記データ入出力線に設けられてデータ入出力線を前記ビット線のプリチャージ電位と異なる電位にプリチャージする第2のプリチャージ手段と、

前記第1、第2のプリチャージ手段のいずれかを選択して駆動する選択駆動手段と、を備えたことを特徴とする。

また本発明によるDRAMは、
複数個のメモリセルが複数個のセル・ブロックに分割されてマトリクス配列され、各セル・ブロック毎に列方向に配列されて列方向のメモリセルを駆動する複数のワード線、このワード線と交差して配列されて選択されたメモリセルとデータのやり取りを行う複数のビット線、および各ビット線に接続されるビット線センスアンプを有するセルアレイと、

アクティブ時に前記セルアレイの複数個のセル・ブロックのうち一つを選択するセル・ブロック

選択手段と、

このセル・ブロック選択手段により選択されたセル・ブロック内のビット線がカラム選択ゲートを介して接続される複数のデータ入出力線と、

前記ワード線を選択駆動するロウ・デコードと、

前記セルアレイの複数のセル・ブロックにまたがって配設された複数のカラム選択信号線と、

このカラム選択信号線にカラム選択信号を送出するカラム・デコードと、

前記カラム選択信号線と前記カラム選択ゲートの間に設けられ、前記セル・ブロック選択手段の制御信号により制御されて前記カラム選択信号を選ばれたカラム選択ゲートに伝達する選択ゲート制御手段と、
を備えたことを特徴とする。

(作用)

本発明によれば、アクティブ・サイクル時に接続されるビット線とデータ入出力線に着目すると、ビット線のプリチャージ電位が $(1/2)V_{cc}$ であり、データ入出力線のプリチャージ電位

が V_{cc} である状態を得ることができる。すなわち第1の発明によれば、プリチャージ・サイクルでの全てのデータ入出力線およびアクティブ・サイクルでの非選択のデータ入出力線のプリチャージ電位をビット線と同じ $(1/2)V_{cc}$ とし、アクティブ・サイクルで選択されるデータ入出力線のみ選択的にプリチャージ電位を V_{cc} とすることができる。また第2の発明によれば、全てのデータ入出力線のプリチャージ電位を V_{cc} として、アクティブ・サイクル時に選択されたセル・ブロックについてのみカラム選択ゲートを開けることにより、そのセル・ブロックについて V_{cc} にプリチャージされたデータ入出力線と $(1/2)V_{cc}$ にプリチャージされたビット線とを接続することができる。したがって、いずれの場合も非選択状態のセル・ブロック領域での電位関係を破壊することはない。そして、読み出されるビット線のプリチャージ電位を $(1/2)V_{cc}$ 、これが接続されるデータ入出力線のプリチャージ電位を V_{cc} としている結果、高速のデータ読出しを行うことができ

る。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は、セルアレイを8個のセル・ブロックに分割した一実施例の多分割ビット線-共有Yデコード方式のDRAMの概略的なチップレイアウトを示す。第2図は、第1図のうち隣接する4個のセル・ブロック部分の1カラムの構成を示し、第3図はさらに第2図のなかの一つのセルアレイの構成を示す。

第1図に示すように、DRAMチップ1に配列形成されたセルアレイは、ビット線方向に8個のセル・ブロックCA0～CA7に分割されている。これらセル・ブロックCA0～CA7はさらに、4個ずつ大きく二つの領域に分割されている。セル・ブロックCA0～CA3の領域およびCA4～CA7の領域それぞれの端部に、ワード線を選択駆動するロウ・デコード41、42が配置されている。左側の4個のセル・ブロックCA0～

特開平3-154287 (5)

CA3上に連続的にカラム選択信号線CSL10 ($i = 1, 2, \dots, n$) が配設され、右側の4個のセル・ブロックCA4～CA7上に同様に連続的にカラム選択信号線CSL11 ($i = 1, 2, \dots, n$) が配設されている。これらカラム選択信号線CSL10, CSL11のそれぞれの端部にカラム選択を行うカラム・デコード51, 52が配置されている。すなわち一方のカラム・デコード51は左側の4個のセル・ブロックCA0～CA3で共用され、他方のカラム・デコード52は右側の4個のセル・ブロックCA4～CA7で共用されている。

このDRAMは、共有センスアンプ方式を採用している。セル・ブロックCA0とCA1の間にこれらのセル・ブロックで共用されるビット線センスアンプS/Aとデータ入出力線が配設されている。セル・ブロックCA2とCA3、CA4とCA5、CA6とCA7のそれぞれの間にも同様にビット線とデータ入出力線が配設されている。各入出力線はそれぞれ、入出力バッファ211,

212, 221, 222を介してデータ線31, 32に接続され、このデータ線31, 32が入出力回路8を介して外部端子に繋がっている。

二つのカラム・デコード51, 52の間に、アドレス・バッファ、RAS制御回路、CAS制御回路等を含む周辺回路7、およびこの周辺回路7により制御されるセル・ブロック選択回路6が設けられている。セル・ブロック選択回路6は、アクティブ・サイクル時に一つのセル・ブロックを選択する働きを有する。

セルアレイのより具体的な構成を示したのが、第2図である。第2図は、第1図のうち左側の4個のセル・ブロックCA0～CA3からなるサブセルアレイ10について、1カラム分の具体的な構成を示し、第3図はさらに第2図の一つのセル・ブロックCA0の部分の具体的な構成を示している。セルアレイはこの実施例では、折り返しビット線構成を有する。セル・ブロックCA0, CA1の部分に着目して説明すると、対を成すビット線BL0, $\overline{BL0}$ には、1トランジスタ/1キャパ

シタ構成のメモリセルMC1, MC2, ... が多数配列接続されている。各ビット線BL, \overline{BL} には一個ずつダミーセルDC1, DC2が接続されている。メモリセルMC1, MC2, ... を選択駆動するワード線WL1, WL2, ... およびダミーセルDC1, DC2をそれぞれ選択駆動するダミーワード線DWL1, DWL2がビット線BL0, $\overline{BL0}$ と交差して配設されている。これらワード線およびダミーワード線は、他のカラムの対応するメモリセルおよびダミーセルを同時に駆動するようになっている。ビット線センスアンプS/Aは、PMOSフリップフロップからなるPMOSセンスアンプPSAと、NMOSフリップフロップからなるNMOSセンスアンプにより構成される。このセンスアンプのうちPMOSセンスアンプPSAは、第2図および第3図に示すように、各セル・ブロックCA内部に設けられている。NMOSセンスアンプNSAは、セル・ブロックCAの外部に設けられ、隣接する二つのセル・ブロックCA0とCA1で共用される。セル・プロ

ックCA0内部のビット線BL0, $\overline{BL0}$ と共用NMOSセンスアンプNSAが設けられた外部ビット線BL01, $\overline{BL01}$ の間には、ブロック選択信号BSL1により制御されるブロック選択ゲートQ5, Q6が設けられている。セル・ブロックCA1と外部ビット線BL01, $\overline{BL01}$ の間にも同様に、ブロック選択信号BSL0により制御されるブロック選択ゲートQ7, Q8が設けられている。共用NMOSセンスアンプNSAが設けられたビット線BL01, $\overline{BL01}$ の部分にはまた、二つのセル・ブロックCA0, CA1で共用されるビット線イコライズ回路EQが設けられている。ビット線イコライズ回路EQは、対をなすビット線BL01, $\overline{BL01}$ 間を短絡するイコライズ用MOSTランジスタQ31と、これらのビット線BL01, $\overline{BL01}$ にプリチャージ電位 ($1/2$) V_{cc} を与えるプリチャージ用MOSTランジスタQ32, Q33により構成されている。そしてこの共用NMOSセンスアンプNSAが設けられているビット線BL01, $\overline{BL01}$ は、それぞれカラ

特開平3-154287 (6)

ム選択ゲートQ1, Q2を介してデータ入出力線I/O, $\overline{I/O}$ に接続されている。これらのセル・ブロックCA0, CA1に隣接するセル・ブロックCA2, CA3の部分も同様に構成されている。

これらの4個のセル・ブロックCA0~CA3の領域上を横切って、カラム・デコードからのカラム選択信号が送出されるカラム選択信号線CSL10が配設されている。カラム選択信号線CSL10は、これら4個のセル・ブロックCA0~CA3のカラム選択ゲートQ1, Q2, Q3, Q4に接続され、これらの選択ゲートを同時に駆動するようになっている。

第4図は、以上のようなサブセルアレイ10に接続される入出力バッファ部の具体的な構成である。すなわち2個のセル・ブロックCA0, CA1に対して共通に設けられる一対の入出力線I/O01, $\overline{I/O01}$ に、入出力センスアンプ111を有する入出力バッファ211が接続されている。この入出力バッファ211内には、入出力線

I/O01, $\overline{I/O01}$ をビット線と同じ(1/2)Vccにプリチャージする第1の入出力線プリチャージ回路131と、これより高いVccにプリチャージする第2の入出力線プリチャージ回路121が設けられている。第1のプリチャージ回路131は、入出力線I/O01, $\overline{I/O01}$ 間を短絡するためのイコライズ用nチャネルMOSトランジスタQ15と、入出力線I/O01, $\overline{I/O01}$ に(1/2)Vccを与えるプリチャージ用nチャネルMOSトランジスタQ13, Q14により構成されている。第2のプリチャージ回路121は、イコライズ用pチャネルMOSトランジスタQ18とプリチャージ用pチャネルMOSトランジスタQ16, Q17により構成されている。そしてこの入出力バッファ211をプリチャージ制御信号CEQとセンス制御信号QSEにより選択駆動する入出力バッファ制御回路141が設けられている。

他の2個のセル・ブロックCA2, CA3に対して共通に設けられる一対の入出力線I/O23, $\overline{I/O23}$ にも、同様に入出力センスアンプ112

を含む入出力バッファ212が接続されて、この入出力バッファ212内にやはり第1の入出力線プリチャージ回路132と第2の入出力線プリチャージ回路122が設けられている。この入出力バッファ212に対しても入出力バッファ制御回路142が設けられている。

入出力バッファ制御回路141および142にはそれぞれ、セル・ブロック選択信号BSL0, $\overline{BSL0}$ およびBSL2, $\overline{BSL2}$ が制御信号として入っている。これにより、セル・ブロックCA0またはCA1が選択されたときには、入出力バッファ211の入出力センスアンプ111が活性化される。またこの時入出力バッファ211内で(1/2)Vccプリチャージ用の第1の入出力線プリチャージ回路131がオフ、Vccプリチャージ用の第2の入出力線プリチャージ回路121がオンとなるように制御される。このとき、もう一方の入出力バッファ212では入出力センスアンプ112は活性化されず、(1/2)Vccプリチャージ用の第1の入出力線プリチャージ回路132

がオン、Vccプリチャージ用の第2の入出力線プリチャージ回路122がオフとなるように制御される。セル・ブロックCA2またはCA3が選択されたときには以上の関係は逆になる。これら入出力バッファは、リード/ライト・データ線3を介して入出力回路に繋がっている。

このように構成された分割ビット線-共有Yデコード方式のDRAMの動作を、第5図のタイムチャートを用いて次に説明する。

第1図に斜線で示したように、8個のセル・ブロックCA0~CA7のうちセル・ブロックCA0が選択され、データ入出力線I/O01, $\overline{I/O01}$ が活性化される場合を例にあげて説明する。なお第5図では、4個のセル・ブロックCA0~CA3からなるサブセルアレイ10の部分に着目して動作波形を示している。アクティブ・サイクルに入る前、ブロック選択信号BSL0~BSL3は全て“H”レベル、したがって全てのセル・ブロック選択ゲートQ5~Q12はオン状態にある。ロウ・アドレスが確定すると、一つの

特開平3-154287 (7)

ブロック選択信号 $\overline{BSL0}$ が "L" レベルになり、これによりブロック選択ゲート $Q7$ 、 $Q8$ がオフになって、NMOS センスアンプ NSA を共有する二つのセル・ブロック $CA0$ 、 $CA1$ のうちセル・ブロック $CA1$ が NMOS センスアンプ NSA 部から切り離される。同時に、入出力バッファ 211 の制御駆動回路 141 には、ブロック選択信号 $\overline{BSL0}$ = "L" レベルと、 $\overline{BSL1}$ = "H" レベルが入るから、AND ゲート $G1$ によって入出力選択信号 $\overline{IOS01}$ が "L" レベルになり、これによって入出力バッファ 211 内の (1/2) V_{cc} プリチャージ用の第 1 のプリチャージ回路 131 はオフとなる。またプリチャージ制御信号 CEQ と入出力選択信号 $\overline{IOS01}$ が OR ゲート $G2$ に入ってプリチャージ制御信号 $CEQ01$ が "H" レベルとなり、これによって V_{cc} プリチャージ用の第 2 のプリチャージ回路 121 が活性化される。さらに、入出力選択信号 $\overline{IOS01}$ とセンス制御信号 QSE によってセンス信号 $\overline{QSE01}$ が (1/2) V_{cc} から V_{cc} まで上昇

することにより、入出力センスアンプ 111 の基準電位も V_{cc} まで上昇する。以上の結果、あらかじめ (1/2) V_{cc} にプリチャージされていた入出力線 $I/O01$ 、 $\overline{I/O01}$ は V_{cc} までプリチャージされる。

一方、ロウ・デコーダ 41 により選択されたワード線が立ち上がってセル・ブロック $CA0$ 内の選択されたワード線に沿うメモセルと選択されたダミーワード線に沿うダミーセルのデータがビット線 $BL0$ 、 $\overline{BL0}$ に読み出される。このデータは、ブロック選択ゲート $Q5$ 、 $Q6$ を介して外部ビット線 $BL01$ 、 $\overline{BL01}$ に伝達される。そして NMOS センスアンプ NSA 、ついで PMOS センスアンプ PSA が活性化されて、ビット線 $BL01$ 、 $\overline{BL01}$ の一方が V_{cc} 、他方が 0 となる。カラム・デコーダ 51 により選ばれたカラム選択信号 $CSL10$ が "H" レベルになり、これによりカラム選択ゲート $Q1$ 、 $Q2$ がオンとなる。このカラム選択ゲート $Q1$ 、 $Q2$ を介してビット線 $BL01$ 、 $\overline{BL01}$ のデータが入出力線 $I/O01$ 、

$\overline{I/O01}$ に読み出される。プリチャージ制御信号 $CEQ01$ が "H" レベルになって第 2 のプリチャージ回路 121 がオフとなり、続いてセンス制御信号 $\overline{QSE01}$ が "L" レベルになって入出力センスアンプ 111 が活性化され、入出力線 $I/O01$ 、 $\overline{I/O01}$ の一方が V_{cc} 、他方が 0 になる。

この読み出し動作の間、選択セル・ブロック $CA0$ と NMOS センスアンプ NSA を共有するもう一方のセル・ブロック $CA1$ については、前述したようにブロック選択ゲート $Q7$ 、 $Q8$ がオフであって、NMOS センスアンプ NSA 部から切り離されている。他の非選択セル・ブロック $CA2$ 、 $CA3$ については、ブロック選択ゲート $Q9$ 、 $Q10$ 、 $Q11$ 、 $Q12$ がオン状態であるが、この部分のプリチャージ電位状態が破壊されることはない。すなわち、セル・ブロック $CA0$ が選択されているとき、第 5 図に示すようにブロック選択信号 $\overline{BSL2}$ 、 $\overline{BSL3}$ が共に "H" レベルの儘である。したがってこれらの非選択セル・ブロック $CA2$ 、 $CA3$ の入出力線 $I/O23$ 、

$\overline{I/O23}$ 部分については、入出力バッファ制御回路 142 によって、(1/2) V_{cc} プリチャージ用の第 1 のプリチャージ回路 132 の制御信号 $\overline{IOS23}$ は "H" レベル、 V_{cc} プリチャージ用の第 2 のプリチャージ回路 122 の制御信号 $CEQ23$ は同じく "H" レベルに保たれ、入出力センスアンプ 112 の活性化信号 $\overline{QSE23}$ は (1/2) V_{cc} に保たれる。つまり、データ入出力線 $I/O23$ 、 $\overline{I/O23}$ は (1/2) V_{cc} に保たれている。したがって同じカラム選択信号 $CSL10$ によってカラム選択ゲート $Q3$ 、 $Q4$ がオンになって、これら非選択セル・ブロック $CA2$ 、 $CA3$ の NMOS センスアンプ部がデータ入出力線 $I/O23$ 、 $\overline{I/O23}$ に繋がっても、いずれも (1/2) V_{cc} のプリチャージ電位にあるから、何等不都合は生じない。

アクティブ・サイクルにおいて、選択されて V_{cc} にプリチャージされた入出力線は、アクティブ・サイクルが終了してプリチャージ・サイクルに入ったときに再度 (1/2) V_{cc} にプリチャージ

特開平3-154287 (8)

ジされる。

以上のようにしてこの実施例によれば、(1/2) Vccプリチャージ方式を基本として、アクティブ時に選択される入出力線のみVccにプリチャージする方式を採用している。したがって(1/2) Vccプリチャージ方式による低消費電力性、チップ面積の縮小と、Vccプリチャージ方式による高速性とを両立させたDRAMが得られる。選択された入出力線のVccプリチャージは、カラム選択信号が活性化されるまでに完了していればよいので、時間的には十分な余裕がある。したがって高速性を損なうことはないし、またこのVccプリチャージにするために特に大きいMOSトランジスタを必要とすることもない。アクティブ・サイクルが終了してプリチャージ・サイクルに入った時に、選択された入出力線を再度(1/2) Vccにプリチャージするが、これも他のビット線、入出力線と同時に行うので、余分の時間を必要としない。

第6図は、本発明の別の実施例の多分割ビット

けられている。選択駆動回路11a, 11bは、この実施例では2入力NANDゲートG11と2入力ANDゲートG12により構成されている。NANDゲートG11には、一方の選択駆動回路11aでは二つのブロック選択信号 $\overline{BSL0}$ と $\overline{BSL1}$ が入力され、他方の選択駆動回路11bでは残りの二つのブロック選択信号 $\overline{BSL2}$ と $\overline{BSL3}$ とが入力される。ANDゲートG12の一方の入力端子にはカラム選択信号線CSL10が接続され、他方の入力端子にNANDゲートG11の出力が入力される。ANDゲートG12の出力は、一方の選択駆動回路11aではセル・ブロックCA0, CA1間に設けられたカラム選択ゲート(Q1, Q2)の制御端子に入力され、他方の選択駆動回路11bではセル・ブロックCA2, CA3間に設けられたカラム選択ゲート(Q3, Q4)の制御端子に入力されている。

このサブセルアレイ10のビット線が繋がる2対のデータ入出力線I/O01, I/O01, I/O23, I/O23には、第7図に示すように、

線-共有Yデコード方式のDRAM要部構成である。全体の構成は、先の実施例で説明した第1図と異ならない。第6図は、そのDRAMの1カラム分の構成を第2図に対応させて示す。したがって第2図と対応する部分には第2図と同一符号を付して詳細な説明は省く。先の実施例では、複数のセル・ブロックにまたがって配設されるカラム選択信号線CSL10は、同時に複数のカラム選択ゲートに接続されている。その代わりに、複数のデータ入出力線のうち選択された入出力線のみVccプリチャージを行うように、データ入出力線に選択的に駆動されるVccプリチャージ回路と(1/2) Vccプリチャージ回路とが設けられている。これに対してこの実施例では、第6図に示すように、複数のセル・ブロックにまたがって配設されるカラム選択信号線CSL10とこれにより駆動されるカラム選択ゲート(Q1, Q2), (Q3, Q4)との間に、これらのカラム選択ゲート(Q1, Q2), (Q3, Q4)を選択的に駆動するための選択駆動回路11a, 11bが設

けられている。選択駆動回路11a, 11bは、この実施例では2入力NANDゲートG11と2入力ANDゲートG12により構成されている。

このような構成としたこの実施例では、アクティブ・サイクル時一つのカラム選択信号線CSL10が選ばれたとき、これに沿うすべてのカラム選択ゲート(Q1, Q2), (Q3, Q4)が同時にオンにはならない。カラム選択信号線CSL10の信号は、セル・ブロックの選択に対応して、カラム選択ゲート(Q1, Q2)または(Q3, Q4)のいずれかに選択的に供給される。

第8図を参照してこの実施例のDRAMの具体的な動作を説明する。第8図では、先の実施例と同様にセル・ブロックCA0のデータが読み出される場合の動作波形を示している。アクティブ・サイクルに入る前、ブロック選択信号 $\overline{BSL0} \sim \overline{BSL3}$ は全て“H”レベル、したがって全てのセル・ブロック選択ゲートQ5~Q12はオン状態にある。ロウ・アドレスが確定すると、一つのブロック選択信号 $\overline{BSL0}$ が“L”レベルになり、

特開平3-154287 (9)

これによりブロック選択ゲートQ7, Q8がオフになって、NMOSセンスアンプNSAを共有する二つのセル・ブロックCA0, CA1のうちセル・ブロックCA1がNMOSセンスアンプNSA部から切り離される。

ロウ・デコーダにより選択されたワード線WLが立ち上がってセル・ブロックCA0内の選択されたメモリセルとダミーセルのデータがビット線BL0, $\overline{BL0}$ に読み出される。このデータは、ブロック選択ゲートQ5, Q8を介して外部ビット線BL01, $\overline{BL01}$ に伝達される。そしてNMOSセンスアンプNSA、ついでPMOSセンスアンプPSAが活性化されて、ビット線BL01, $\overline{BL01}$ の一方がVcc、他方が0となる。その後、カラム・デコーダ51により選ばれたカラム選択信号CSL10aが“H”レベルになる。このとき、ブロック選択信号BSL0が“H”レベル、BSL1が“L”レベルであるため、選択駆動回路21aの出力制御信号CSL10aは“H”レベルになり、これによってカラム選択ゲート

Q1, Q2がオン駆動される。したがってこのカラム選択ゲートQ1, Q2を介してビット線BL01, $\overline{BL01}$ のデータが入出力線I/O01, $\overline{I/O01}$ に読み出される。

この読み出し動作の間、選択セル・ブロックCA0とNMOSセンスアンプNSAを共有するもう一方のセル・ブロックCA1については、前述したようにブロック選択ゲートQ7, Q8がオフであって、NMOSセンスアンプNSA部から切り離されている。他の非選択セル・ブロックCA2, CA3については、ブロック選択ゲートQ9, Q10, Q11, Q12がオン状態であるが、この部分のプリチャージ電位状態が破壊されることはない。すなわち、セル・ブロックCA0が選択されているとき、第8図に示すようにブロック選択信号BSL2, BSL3が共に“H”レベルの値である。したがって選択駆動回路21bから得られる制御信号CSL10bは“L”レベルに保たれ、この結果セル・ブロックCA2, CA3側のカラム選択ゲートQ3, Q4はオフ状態に保たれ

る。つまり、(1/2)Vccにプリチャージされたビット線BL23, $\overline{BL23}$ は、Vccにプリチャージされたデータ入出力線I/O23, $\overline{I/O23}$ とは接続されない。第8図に示したようにこの読み出し動作の間、ビット線BL23, $\overline{BL23}$ は(1/2)Vccに、データ入出力線I/O23, $\overline{I/O23}$ はVccに保たれる。

以上のようにしてこの実施例によっても、ビット線の(1/2)Vccプリチャージと入出力線のVccプリチャージを同時に行うことができる。

第9図は、第6図の選択駆動回路21a, 21bの部分を変形した実施例である。すなわち第6図の選択駆動回路21a, 21bにおけるANDゲートG12に相当する回路部分を、インバータ1と、nチャネルMOSトランジスタQ41とpチャネルMOSトランジスタQ42からなるトランスファゲート、および短絡用nチャネルMOSトランジスタQ43とにより構成している。それ以外は第6図と同じである。

この実施例でも先の実施例と同様の動作が

行われる。いま、ブロック選択信号BSL0 ~ BSL3が先の実施例と同様、アクティブ時にBSL0 = “H”レベル、BSL1 = BSL2 = BSL3 = “L”レベルの場合を考える。このとき一方の選択駆動回路21aでは、NANDゲートG11の出力が“L”レベル、したがってMOSトランジスタQ41, Q42が共にオンであり、MOSトランジスタQ43がオフである。したがってカラム選択信号線CSL10の“H”レベルが選択駆動回路21aを介してカラム選択ゲートQ1, Q2に伝達される。他方の選択駆動回路21bでは、NANDゲートG11の出力が“L”レベル、したがってMOSトランジスタQ41, Q42はオフであり、MOSトランジスタQ43はオンである。したがってカラム選択信号線CSL10の“H”レベルはカラム選択ゲートQ3, Q4には伝達されない。

以上によりこの実施例によっても、非選択セル・ブロックにつながるカラム選択ゲートはオンしないので、ビット線の(1/2)Vccプリチャージ

特開平3-154287 (10)

ジとデータ入出力線のVccプリチャージとを同時に行うことができる。この実施例の場合、第6図の実施例に比べて選択駆動回路21a, 21bの使用素子数が少なくなつて有利である。すなわち、ANDゲートG12は通常6素子で構成されるのに対し、この実施例ではこのANDゲートG12に相当する部分が、MOSトランジスタQ41~Q43とインバータIを構成する2トランジスタの5素子で構成される。選択駆動回路21a, 21bは、各カラム選択信号線毎に設けなければならないので、一つでも素子数を減らすことは、DRAMチップ面積を小さくする上で有効である。

本発明は、上記実施例に限られるものではない。例えば実施例では、カラム・デコードをDRAMチップのほぼ中央部にレイアウトする場合を説明したが、レイアウトは適宜変更することができる。また実施例では、ビット線プリチャージ電位を(1/2)Vcc、データ入出力線プリチャージ電位をVccと(1/2)Vccの二種またはVccのみとしたが、これら以外の適当なプリチャージ電位

を選択することが可能である。

〔発明の効果〕

以上説明したように本発明によれば、ビット線の(1/2)Vccプリチャージ方式とデータ入出力線のVccプリチャージ方式の併用が実現でき、動作速度を損なうことなく、低消費電力化とチップサイズの縮小を図った高集積化DRAMを得ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例にかかる多分割ビット線-共有Yデコード方式のDRAMの概略チップレイアウトを示す図、

第2図はその一つのサブセルアレイの1カラム分の構成を示す図、

第3図はさらにそのなかの一つのセル・ブロックの構成を示す図、

第4図はデータ入出力線に接続されるデータ入出力バッファの構成を示す図、

第5図はこの実施例のDRAMの動作を説明するためのタイミング図、

第6図は他の実施例のDRAMのサブセルアレイの1カラム分の構成を示す図、

第7図はそのDRAMのデータ入出力線に接続されるデータ入出力バッファの構成を示す図、

第8図は同じくそのDRAMの動作を説明するためのタイミング図、

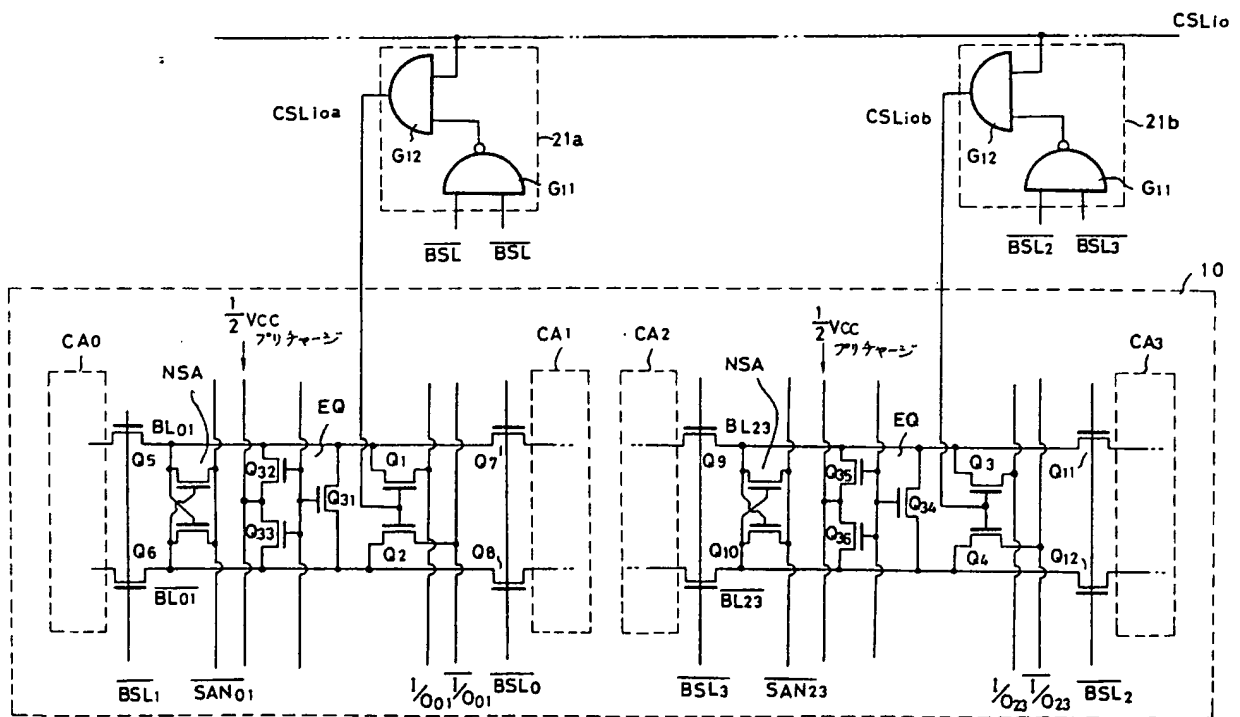
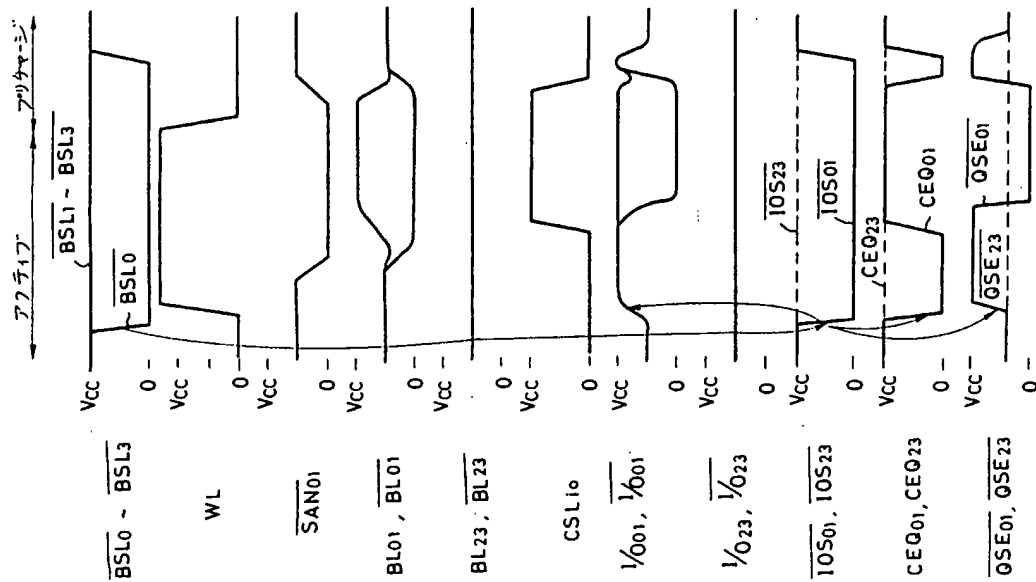
第9図はさらに他の実施例のDRAMのサブセルアレイの1カラム分の構成を示す図である。

1…DRAMチップ、2…データ入出力バッファ、3…読出し書き込みデータ線、4…ロウ・デコード、5…カラム・デコード、6…ブロック選択回路、7…周辺回路、8…入出力回路、CA0~CA7…セル・ブロック、CSL10, CSL11…カラム選択信号線、BL, BL…ビット線、WL…ワード線、DWL…ダミーワード線、MC…メモリセル、DC…ダミーセル、PSA…PMOSセンスアンプ、NSA…NMOSセンスアンプ、EQ…ビット線イコライズ回路、(Q1, Q2), (Q3, Q4)…カラム選択ゲート、(Q5,

Q6), (Q7, Q8), (Q9, Q10), (Q11, Q12)…ブロック選択ゲート、I/O, I/O…データ入出力線、11…入出力線センスアンプ、12…第2のプリチャージ回路、13…第1のプリチャージ回路、14…入出力バッファ制御回路、21…選択駆動回路。

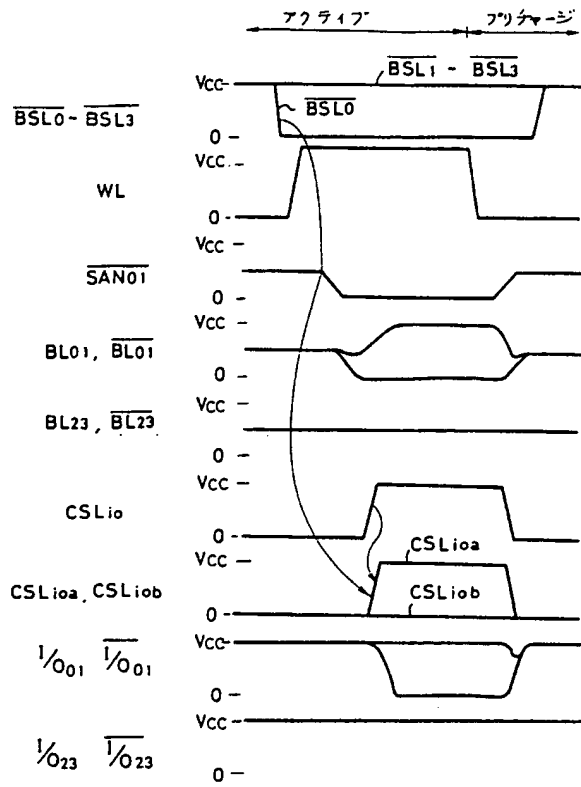
出願人代理人 弁理士 鈴江武彦

五 撰

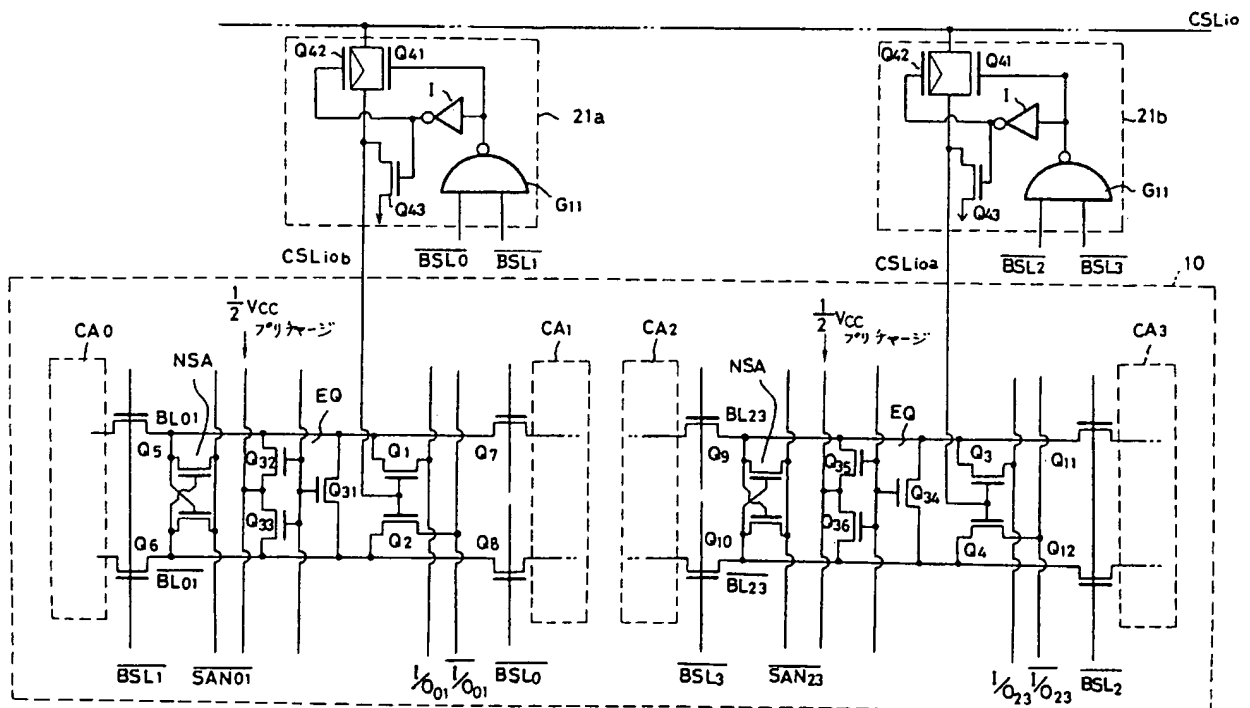


第 6 圖

特開平3-154287 (14)



第 8 図



第 9 図